



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030002128 (43) Publication Date. 20030108

(21) Application No.1020010038869 (22) Application Date. 20010630

(51) IPC Code:

H01L 21/8242

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

SONG, CHANG ROK

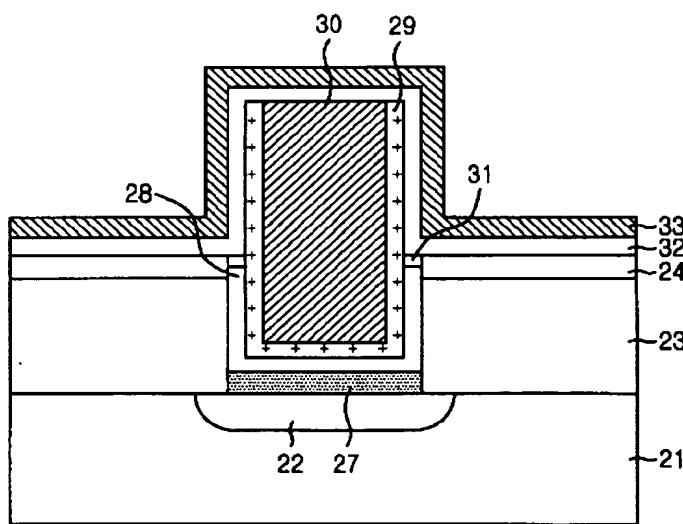
(30) Priority:

(54) Title of Invention

METHOD FOR FABRICATING CAPACITOR

Representative drawing

(57) Abstract:



**PURPOSE:** A method for fabricating a capacitor is provided to simplify a fabricating process by preventing misalignment between a storage node contact plug and a lower electrode and by simultaneously forming the storage node contact plug and the lower electrode.

**CONSTITUTION:** The first oxide layer, a non-conductive nitride layer(24) and the second oxide layer are sequentially formed on a semiconductor substrate(21). The first oxide layer, the non-conductive nitride layer and the second oxide layer are simultaneously etched to form a storage node contact hole exposing the surface of the semiconductor substrate. A conductive nitride layer(28)

and a seed layer(2 ) are sequentially formed on the entire surface including the

storage node contact hole. The lower electrode(30) is formed on the seed layer while the storage node contact hole is filled. The lower electrode, the seed layer and the conductive nitride layer are selectively eliminated until the surface of the second oxide is exposed. Only the second oxide layer whose surface is exposed is eliminated. Only a portion of the exposed conductive nitride layer attached to the exposed sidewall of the seed layer is removed. The surface of the remaining conductive nitride layer is oxidized. A dielectric layer(32) and an upper electrode (33) are sequentially formed on the entire surface including the seed layer whose sidewall is exposed.

© KIPO 2003

if display of image is failed, press (F5)

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. H01L 21/8242	(11) 공개번호 (43) 공개일자	특2003-0002128 2003년01월08일
(21) 출원번호	10-2001-0038869	
(22) 출원일자	2001년06월30일	
(71) 출원인	주식회사 하이닉스반도체 대한민국 467-866 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자	송창록 대한민국 467-850 경기도 이천시 대월면 사동리 347-136 해원주택 B-301	
(74) 대리인	특허법인 신성	
(77) 심사청구	없음	
(54) 출원명	캐패시터의 제조 방법	

**요약**

본 발명은 플러그구조와 스토리지노드의 오정렬을 방지하도록 한 캐패시터의 제조 방법에 관한 것으로, 반도체기판상에 제1 산화물, 비전도성 질화물, 제2 산화물을 차례로 형성하는 단계, 상기 제1 산화물, 비전도성 질화물 및 상기 제2 산화물을 동시에 식각하여 상기 반도체기판의 표면이 노출되는 스토리지노드 콘택처를 형성하는 단계, 상기 스토리지노드 콘택처를 포함한 전면에 전도성 질화물과 시드층을 차례로 형성하는 단계, 상기 시드층상에 상기 스토리지노드 콘택처를 채우면서 하부전극을 형성하는 단계, 상기 제2 산화물의 표면이 노출될 때까지 상기 하부전극, 시드층 및 상기 전도성 질화물을 선택적으로 제거하는 단계, 상기 표면이 드러난 제2 산화막만을 제거하는 단계, 상기 제2 산화막 제거후 노출된 상기 전도성 질화물 중 상기 시드층의 노출된 측벽에 불어 있는 부분만을 제거하는 단계, 상기 부분적으로 제거된 후 잔류하는 상기 전도성 질화물의 표면을 산화시키는 단계, 및 상기 측벽이 드러난 시드층을 포함한 전면에 유전막, 상부전극을 차례로 형성하는 단계를 포함한다.

**대표도**

도 2f

**색인어**

캐패시터, 스토리지노드, 플러그, 전기화학적 증착법, 시드층

**명세서****도면의 간단한 설명**

도 1a 내지 도 1c는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도,

도 2a 내지 도 2f는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도.

**\*도면의 주요 부분에 대한 부호의 설명**

21 : 반도체기판	22 : 소스/드레인
23 : 층간질연막	24 : 비전도성 질화물
25 : 캐패시터산화막	26 : 스토리지노드 콘택처

27 : 티타늄실리사이드	28 : 전도성 질화물
29 : 시드층	30 : 하부전극
31 : 산화막	32 : 유전막
33 : 상부전극	

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.

반도체소자에서 캐패시터의 정전용량(Capacitance; C)은  $\frac{\epsilon \cdot A}{d}$  ( $\epsilon$ : 유전율, A: 표면적, d: 유전체 두께)로 나타내는데, 스

토리지노드(storage node)(또는 하부전극)의 표면적과 유전체의 유전율에 비례하는 값을 갖는다.

따라서 미세화되어 가는 반도체소자의 제조 공정에 있어 반도체소자가 적절히 동작하기 위한 일정량 이상의 정전용량을 확보하기 위하여 스토리지노드의 모양을 3차원 구조로 형성하여 스토리지노드의 표면적을 증가시키거나, 높은 유전율을 갖도 1a 내지 도 1c는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.

도 1a에 도시된 바와 같이, 소스/드레인(12)을 포함한 트랜지스터 제조 공정이 완료된 반도체기판(11)상에 층간절연막(Inter Layer Dielectric; ILD)(13)을 형성한다.

그리고, 층간절연막(13)상에 감광막을 도포하고 노광 및 현상으로 패터닝한 후, 패터닝된 감광막을 마스크로 층간절연막(13)을 식각하여 소스/드레인(12)의 소정 부분이 노출되는 콘택홀(14)을 형성하고, 패터닝된 감광막을 제거한다.

도 1b에 도시된 바와 같이, 콘택홀(14)이 형성된 층간절연막(13)상에 폴리실리콘을 증착한 후, 에치백(Etch back)공정으로 소정 깊이만큼 리세스시켜 콘택홀(14)에 소정 깊이만큼 매립되는 스토리지노드 콘택 플러그인 폴리실리콘플러그(15)를 형성한다.

그리고, 전면에 티타늄(Ti)을 증착한 후, 금속열처리(RTP)하여 폴리실리콘 플러그(15)의 실리콘(Si) 원자와 티타늄(Ti)의 반응을 유발시켜 폴리실리콘플러그(15)상에 티타늄실리사이드(Ti-silicide)(16)를 형성한다. 이 때, 티타늄실리사이드(16)는 폴리실리콘플러그(14)와 후속 스토리지노드와의 오믹 콘택(Ohmic contact)을 형성해 준다.

계속해서, 티타늄나이트라이드(TiN)(17)를 형성한 후, 층간절연막(13)의 표면이 노출될 때까지 티타늄나이트라이드(17)를 화학적기계적연마(Chemical Mechanical Polishing; CMP) 또는 에치백하여 콘택홀에 매립되는 폴리실리콘플러그/티타늄실리사이드/티타늄나이트라이드(15/16/17)의 적층 구조를 형성한다.

이 때, 티타늄나이트라이드(17)는 후속 열처리공정 시 스토리지노드내에 잔존하는 산소가 폴리실리콘플러그 또는 반도체기판으로 확산하는 것을 방지하는 확산방지막이다.

도 1c에 도시된 바와 같이, 층간절연막(13)을 포함한 전면에 캐패시터의 높이를 결정짓는 캐패시터산화막(18)을 형성한 후, 캐패시터산화막(18)상에 감광막을 이용하여 스토리지노드마스크(도시 생략)를 형성한다. 그리고, 스토리지노드마스크로 캐패시터산화막(18)을 식각하여 폴리실리콘플러그(15)와 정렬되는 하부전극이 형성될 영역(이하 '오목부'라 약칭함)을 오픈시킨다.

계속해서, 오픈된 오목부를 포함한 캐패시터산화막(18)상에 하부전극(19)을 증착한 후, 캐패시터산화막(18)상의 하부전극만을 제거하여 이웃한 셀간 스토리지노드(19)를 절연시킨다.

후속 공정으로 캐패시터산화막(18)을 습식제거한 후, 드러난 하부전극(19)상에 유전막과 상부전극을 순차적으로 형성한다.

그러나, 상술한 종래기술은 미세한 디자인률이 적용되는 4Gbit 이상의 DRAM에서는 스토리지노드 콘택플러그와 하부전극(스토리지노드)의 오정렬(Misalign)과 캐패시터 정전용량의 확보를 위해 하부전극의 높이를 증가시켜야만 한다.

하부전극의 높이 증가는 미세한 디자인률에서 금속배선을 위한 플러그의 높이를 증가시키므로 금속배선 형성에 다시 2차적인 어려움이 있다. 더욱이, 각각의 하부전극 사이의 간격이 매우 좁아짐으로 인해 하부전극, 유전막, 상부전극을 모두 형성하기 위해서는 통상적인 화학기상증착법(Chemical Vapor Deposition: CVD)으로는 그 적용이 한계에 이르러 다른 증착법이 개발되고 있는 실정이다.

한편, 하부전극의 높이를 감소시키기 위해서는 BST 등의 고유전율을 갖는 유전막을 적용해야만 하는데, BST에 적합한 전극 물질은 백금, 아리듐, 루테늄 등의 귀금속과 전도성 산화물이 응용되고 있으며, 이를 전극 물질들은 통상적으로 스퍼터링법 또는 화학기상증착법에 의해 증착되고 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 폴리실리콘플러그와 하부전극을 각각 형성함에 따른 오정렬을 방지하고 공정을 단순화시키는데 적합한 캐패시터의 제조 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 반도체기판상에 제 1 산화물, 비전도성 질화물, 제 2 산화물을 차례로 형성하는 단계, 상기 제 1 산화물, 비전도성 질화물 및 상기 제 2 산화물을 동시에 식각하여 상기 반도체기판의 표면이 노출되는 스토리지노드 콘택출을 형성하는 단계, 상기 스토리지노드 콘택출을 포함한 전면에 전도성 질화물과 시드층을 차례로 형성하는 단계, 상기 시드층상에 상기 스토리지노드 콘택출을 채우면서 하부전극을 형성하는 단계, 상기 제 2 산화물의 표면이 노출될때까지 상기 하부전극, 시드층 및 상기 전도성 질화물을 선택적으로 제거하는 단계, 상기 표면이 드러난 제 2 산화막만을 제거하는 단계, 상기 제 2 산화막 제거후 노출된 상기 전도성 질화물 중 상기 시드층의 노출된 측벽에 붙어 있는 부분만을 제거하는 단계, 상기 부분적으로 제거된 후 잔류하는 상기 전도성 질화물의 표면을 산화시키는 단계, 및 상기 측벽이 드러난 시드층을 포함한 전면에 유전막, 상부전극을 차례로 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

바람직하게, 상기 전도성 질화물 중 상기 시드층의 노출된 측벽에 붙어 있는 부분만을 제거하는 단계는, 상기 제 2 산화물 제거후 노출된 상기 비전도성 질화물의 표면보다 낮게 더 식각하는 것을 특징으로 한다.

바람직하게, 상기 하부전극을 형성하는 단계는, 전기화학적 증착법으로 이루어짐을 특징으로 하고, 상기 전도성 질화물을 형성하기 전에, 상기 스토리지노드 콘택출을 포함한 전면에 전이금속을 증착하는 단계, 열처리 공정을 통해 상기 스토리지노드 콘택출내의 상기 반도체기판상에 금속실리사이드를 형성하는 단계, 및 미반응 전이금속을 제거하는 단계를 더 포함함을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.

도 2a에 도시된 바와 같이, 소스/드레인(22)을 포함한 트랜지스터 제조 공정이 완료된 반도체기판(21)상에 반도체기판(21)과 캐패시터간의 절연을 위한 층간절연막(ILD)(23)을 증착한 후 평탄화한다. 여기서, 층간절연막(23)은 스토리지노드 콘택출그가 매립될 산화막으로서 5000 Å ~ 10000 Å 의 두께로 증착된다.

다음으로, 평탄화된 층간절연막(23)상에 식각선택비가 우수한 비전도성 질화물(24)을 증착하고, 연속해서 비전도성 질화물(24)상에 스토리지노드의 높이를 결정짓는 캐패시터산화막(25)을 증착한다.

여기서, 비전도성 질화물(24)은 SiON 또는  $Si_xN_y$  중에서 선택된 어느 하나를 이용하여 300 Å ~ 600 Å 의 두께로 증착되고, 캐패시터산화막(25)은 PSG, USG, BPSG, TEOS, PE-TEOS 또는 SOG 중에서 선택된 어느 하나를 이용하여 5000 Å ~ 150 00 Å 의 두께로 증착된다.

다음으로, 캐패시터산화막(25)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크로 캐패시터산화막(25), 비전도성 질화물(24), 층간절연막(23)을 한 번에 식각하여 소스/드레인(22)의 표면이 노출되는 스토리지노드 콘택출(26)을 오픈시킨다.

이 때, 스토리지노드 콘택출(26)은 원형, 막대형 또는 직사각형으로 형태로 형성된다.

도 2b에 도시된 바와 같이, 스토리지노드 콘택출(26)이 오픈된 캐패시터산화막(25)을 포함한 반도체기판(21)의 전면에 티타늄을 증착한 후, 급속열처리(RTP)하여 소스/드레인(22)의 실리콘(Si) 원자와 티타늄(Ti)의 반응을 유발시켜 소스/드레인(22)의 표면상에 티타늄실리사이드( $TiSi_2$ )

)(27)를 형성한다. 이 때, 티타늄실리사이드(27)는 소스/드레인(22)과 후속 하부전극의 접촉 저항을 개선시킨다.

여기서, 티타늄을 스퍼터링법(sputtering), 화학기상증착법(CVD) 또는 원자층증착법(ALD)을 이용하여 스토리지노드 콘택처(26)의 바닥면을 기준으로 100 Å ~ 500 Å의 두께로 증착한 다음, 질소 및 아르곤 기체를 이용하여 700°C ~ 900°C의 온도에서 10초~180초동안 급속열처리한다.

한편, 티타늄외에 코발트(Co)를 비롯한 전이금속을 동일한 방법으로 증착하고 동일한 조건으로 급속열처리할 수 있으며, 티타늄을 증착한 후 스퍼터링법, 화학기상증착법 또는 원자층증착법을 이용하여 스토리지노드 콘택처(26)의 바닥면을 기준으로 100 Å ~ 500 Å의 두께로 티타늄나이트라이드(TiN)를 추가로 증착하는 공정도 가능하다.

연속해서 티타늄실리사이드(27)를 제외한 캐패시터산화막(25)에 잔류하는 미반응 티타늄을 제거한 다음, 전면에 전도성 질화물(28)과 시드층(29)을 순차적으로 증착한다.

여기서, 미반응 티타늄 제거시, 수산화암모늄 또는 황산을 포함하는 용액에서 1분~40분동안 노출시켜 제거한다.

그리고, 전도성 질화물(28)은 TiN, TaN,  $Ti_{1-x}Hf_xN$ ,  $Ti_{1-x}Al_xN$  또는  $Ti_{1-x}Zr_xN$  중 하나를 이용하며(여기서,  $x$ 는  $0 \leq x \leq 0.5$ ), 스퍼터링법, 화학기상증착법 또는 원자층증착법을 이용하여 스토리지노드 콘택처(26)의 바닥면을 기준으로 50 Å ~ 300 Å의 두께로 증착된다.

그리고, 시드층(29)은 백금(Pt), 이리듐(Ir), 루테늄(Ru), 알루미늄(Al) 또는 티타늄(Ti)을 이용하며, 스퍼터링법, 화학기상증착법 또는 원자층증착법을 이용하여 50 Å ~ 300 Å의 두께로 증착된다.

도 2c에 도시된 바와 같이, 시드층(29)을 음극으로 하고, 전해질 용액에 접촉하여 전기화학적방법으로 스토리지노드 콘택처(26)을 채우면서 전면에 스토리지노드인 하부전극(30)을 증착한다. 이 때, 하부전극(30)은 시드층(29)과 동일한 물질이며 500 Å ~ 2000 Å의 두께로 증착되고, 전해질 용액은 염기성 또는 산성 용액을 이용한다.

다음으로, 스토리지노드 콘택처(26)를 제외한 캐패시터산화막(25)상의 하부전극(30), 시드층(29), 전도성 질화물(28)을 모두 제거하되, 에치백 또는 화학적기계적연마법으로 제거한다.

도 2d에 도시된 바와 같이, 비전도성 질화물(24)에서 식각이 멈추도록 하여 캐패시터산화막(25)을 습식식각법으로 제거하되, HF를 포함한 용액을 이용한다.

도 2e에 도시된 바와 같이, 캐패시터 산화막(25)을 제거한 후 전도성 질화물(28), 예컨대 캐패시터산화막(25) 제거후 드러나는 시드층(29)의 측벽에 붙어 있는 전도성 질화물(28)을 황산 또는 수산화암모늄을 포함한 용액을 이용하는 습식식각법으로 제거한다.

이 때, 비전도성 질화물(24)과 층간절연막(23)에 의해 드러나지 않은 전도성 질화물(28)도 소정 두께만큼 식각되는데, 초기 증착두께의 3배를 넘지 않은 깊이로 식각된다. 결국, 잔류하는 전도성 질화물(28a)은 함몰된 형태를 갖는다.

연속해서, 잔류하는 전도성 질화물(28a)을 산소를 포함한 기체 분위기, 예컨대 산소와 질소 또는 산소와 아르곤의 혼합기체를 사용하여 500°C ~ 800°C에서 10초~10분동안 열처리하여  $TiO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ ,  $HfO_2$  또는  $Al_2O_3$ 와 같은 산화물(31)을 형성한다.

여기서, 산화물(31)은 후속 하부전극(30)상에 증착되는 유전막과 전도성 질화물(28a)이 직접 닿는 것을 방지한다.

한편, 시드층(29)으로 알루미늄(Al)과 티타늄(Ti)을 이용하는 경우에는 전도성 질화물(28)을 제거할 때 동시에 제거하여 하부전극(30)만을 노출시키며, 시드층(29)으로 루테늄(Ru)을 이용하는 경우에는 CAN(Cerium Ammonium Nitrate)를 적용하여 필요에 따라 별도로 제거하기도 한다.

도 2f에 도시된 바와 같이, 캐패시터산화막(25)을 제거한 후, 드러난 하부전극(30)상에 유전막(32)과 상부전극(33)을 연속해서 형성한다.

유전막(32)은  $Al_2O_3$ ,  $Ta_2O_5$ ,  $HfO_2$ ,  $ZrO_2$ ,  $TiO_2$ ,  $SrTiO_3$  또는  $Ba_{0.5}Sr_{0.5}TiO_3$ 를 이용하여 화학기상증착법 또는 원자층증착법을 통해 50 Å ~ 300 Å의 두께로 증착된다.

그리고, 상부전극(33)은 Pt, Ir, Ru,  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_3$ ,  $(Ba,Sr)RuO_3$

,  $(Sr,Ca)RuO_3$ ,  $0 \leq x \leq 0.5$ ,  $0 \leq y \leq 0.5$ ,  $0.9 \leq z \leq 1.1$ 인 조성의  $A_{1-x}Re_xB_z$

$O_3$  ( $A=Y$ ,  $La$ :  $Re=Sr$ ,  $Ca$ :  $B=Cr$ ,  $Mn$ ,  $Fe$ ) 또는  $La_{1-x}Sr_xCo_{1-y}O_3$ 을 이용한다.

이러한 상부전극(33)으로 이용되는 막들은 스퍼터링법, 화학기상증착법 또는 원자총증착법으로 100 Å ~ 2000 Å의 두께로 형성된다.

상부전극(33) 형성후 빈 공간을 채우기 위해 전기화학적 방법으로 Ir, Ru, Pt를 추가로 500 Å ~ 2000 Å의 두께로 형성할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 발명의 효과

상술한 바와 같은 본 발명은 스토리지노드 콘택틀러그와 하부전극 사이의 오정렬을 방지할 수 있으며, 스토리지노드 콘택틀러그와 하부전극을 동시에 형성하므로 공정을 단순화시킬 수 있는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1.

캐패시터의 제조 방법에 있어서,

반도체기판상에 제 1 산화물, 비전도성 질화물, 제 2 산화물을 차례로 형성하는 단계;

상기 제 1 산화물, 비전도성 질화물 및 상기 제 2 산화물을 동시에 식각하여 상기 반도체기판의 표면이 노출되는 스토리지노드 콘택홀을 형성하는 단계;

상기 스토리지노드 콘택홀을 포함한 전면에 전도성 질화물과 시드층을 차례로 형성하는 단계;

상기 시드층상에 전해질 용액에서 상기 스토리지노드 콘택홀을 채우면서 하부전극을 형성하는 단계;

상기 제 2 산화물의 표면이 노출될 때까지 상기 하부전극, 시드층 및 상기 전도성 질화물을 선택적으로 제거하는 단계;

상기 표면이 드러난 제 2 산화막만을 제거하는 단계;

상기 제 2 산화막 제거후 노출된 상기 전도성 질화물 중 상기 시드층의 노출된 축벽에 붙어 있는 부분만을 제거하는 단계;

상기 부분적으로 제거된 후 잔류하는 상기 전도성 질화물의 표면을 산화시키는 단계; 및

상기 축벽이 드러난 시드층을 포함한 전면에 유전막, 상부전극을 차례로 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

##### 청구항 2.

제 1 항에 있어서,

상기 전도성 질화물 중 상기 시드층의 노출된 축벽에 붙어 있는 부분만을 제거하는 단계는,

상기 제 2 산화물 제거후 노출된 상기 비전도성 질화물의 표면보다 낮게 더 식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

##### 청구항 3.

제 1 항에 있어서,

상기 하부전극을 형성하는 단계는,

전기화학적 증착법으로 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

##### 청구항 4.

제 1 항에 있어서,

상기 전도성 질화물을 형성하기 전에.

상기 스토리지노드 콘택처를 포함한 전면에 전이금속을 증착하는 단계;

열처리 공정을 통해 상기 스토리지노드 콘택처내의 상기 반도체기판상에 금속실리사이드를 형성하는 단계; 및  
미반응 전이금속을 제거하는 단계

를 더 포함하여 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

**청구항 5.**

제 1 항에 있어서,

상기 전도성 질화물의 표면을 산화시키는 단계는,

산소와 질소 또는 산소와 아르곤의 혼합기체를 사용하여 500°C ~ 800°C에서 10초 ~ 10분동안 열처리하여 이루어짐을 특징  
으로 하는 캐패시터의 제조 방법.

**청구항 6.**

제 1 항에 있어서,

상기 하부전극, 시드층 및 상기 전도성 질화물을 선택적으로 제거하는 단계는,

에치백 또는 화학적기계적연마를 통해 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

**청구항 7.**

제 1 항에 있어서,

상기 전도성 질화물 중 상기 시드층의 노출된 측벽에 붙어 있는 부분만을 제거하는 단계는,

황산 또는 수산화암모늄을 포함한 용액을 이용한 습식식각으로 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

**청구항 8.**

제 1 항에 있어서,

상기 제 1 산화물은 5000 Å ~ 10000 Å의 두께로 증착되는 것을 특징으로 하는 캐패시터의 제조 방법.

**청구항 9.**

제 1 항에 있어서,

상기 제 2 산화물은 PSG, USG, BPSG, TEOS, PE-TEOS 또는 SOG 중에서 어느 하나를 이용하되, 5000 Å ~ 15000 Å의  
두께로 증착되는 것을 특징으로 하는 캐패시터의 제조 방법.

**청구항 10.**

제 1 항에 있어서,

상기 비전도성 질화물은 SiON 또는 Si<sub>x</sub>N<sub>y</sub> 중 어느 하나를 이용하되, 300 Å ~ 600 Å의 두께로 증착되는 것을 특징으로 하는  
캐패시터의 제조 방법.

**청구항 11.**

제 1 항에 있어서,

상기 전도성 질화물은 TiN, TaN, Ti<sub>1-x</sub>Hf<sub>x</sub>N(0 ≤ x ≤ 0.5), Ti<sub>1-x</sub>Al

x

$N(0 \leq x \leq 0.5)$  또는  $Ti_{1-x} Zr_x N(0 \leq x \leq 0.5)$  중에서 어느 하나를 이용하되, 스퍼터링법, 화학기상증착법 또는 원자층증착법을 이용하여  $50\text{ \AA} \sim 300\text{ \AA}$ 의 두께로 증착되는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 12.

제 1 항에 있어서,

상기 시드층은 백금, 아리듐, 루테늄, 알루미늄 또는 티타늄 중 어느 하나를 이용하되, 스퍼터링법, 화학기상증착법 또는 원자층증착법으로  $50\text{ \AA} \sim 300\text{ \AA}$ 의 두께로 증착되는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 13.

제 1 항 또는 제 12 항에 있어서,

상기 시드층으로 루테늄을 이용하는 경우,

상기 전도성 질화물 중 상기 시드층의 노출된 측벽에 불어 있는 부분만을 제거하는 단계는, CAN 용액으로 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 14.

제 1 항에 있어서,

상기 하부전극을 형성하는 단계는,

염기성 또는 산성 중 어느 하나의 전해질용액에서 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 15.

제 1 항에 있어서,

상기 유전막은  $Al_2O_3$ ,  $Ta_2O_5$ ,  $HfO_2$ ,  $ZrO_2$ ,  $TiO_2$ ,  $SrTiO_3$  또는  $Ba_{0.5} Sr_{0.5} TiO_3$  중 어느 하나를 포함함을 특징으로 하는 캐패시터의 제조 방법.

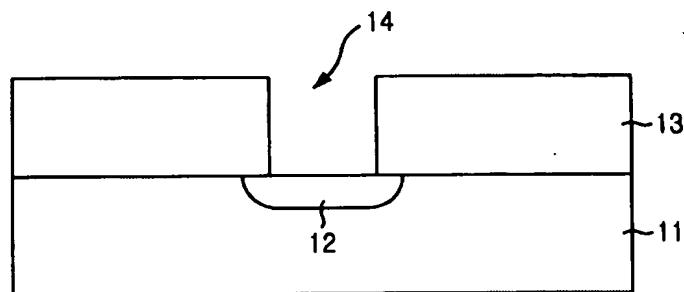
#### 청구항 16.

제 1 항에 있어서,

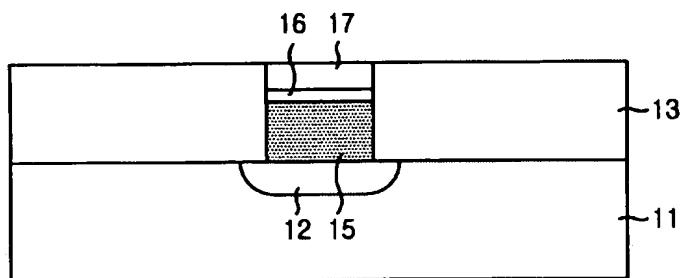
상기 상부전극은  $Pt$ ,  $Ir$ ,  $Ru$ ,  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_3$ ,  $(Ba, Sr)RuO_3$ ,  $(Sr, Ca)RuO_3$ ,  $A_{1-x} Re_x B_z O_3$  ( $A=Y, La$ ;  $Re=Sr, Ca$ ;  $B=C$ ,  $Mn$ ,  $Fe$ ) 또는  $La_{1-x} Sr_x Co_{1-y} O_3$  ( $0 \leq x \leq 0.5$ ,  $0 \leq y \leq 0.5$ ,  $0.9 \leq z \leq 1.1$ ) 중 어느 하나를 포함함을 특징으로 하는 캐패시터의 제조 방법.

도면

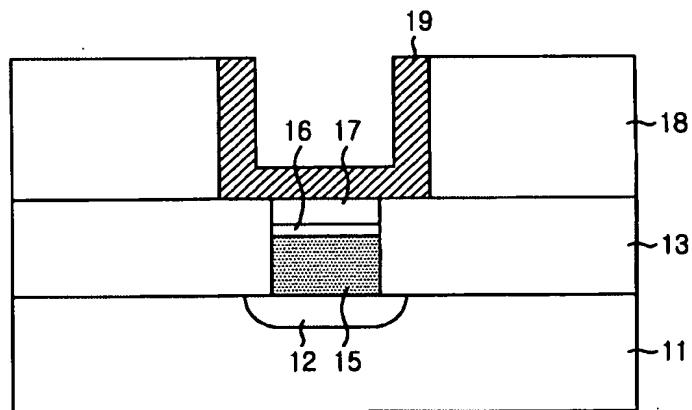
도면 1a



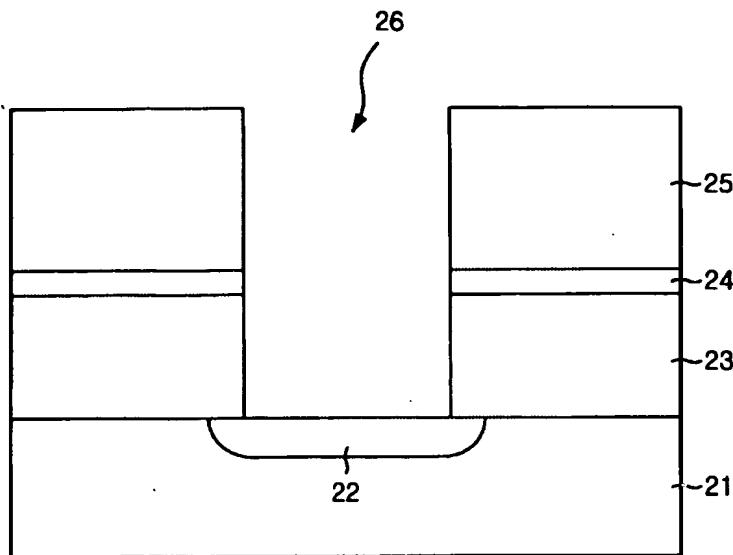
도면 1b



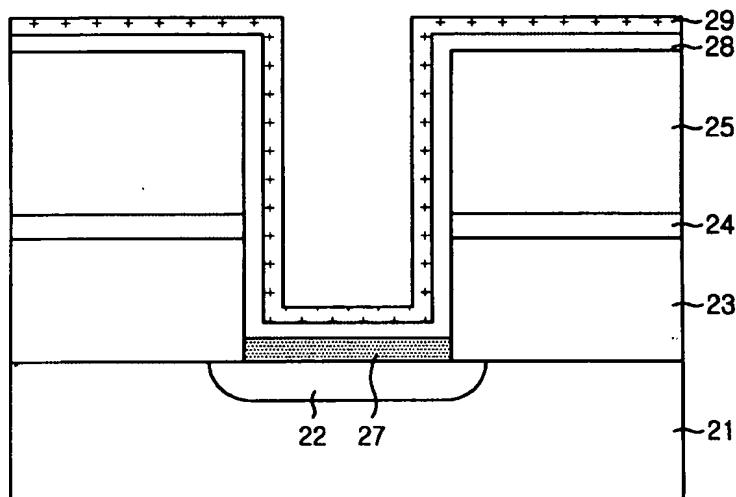
도면 1c



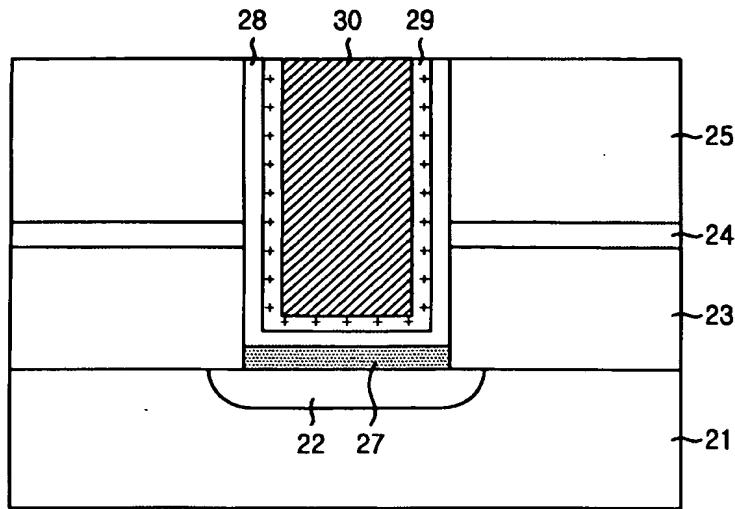
도면 2a



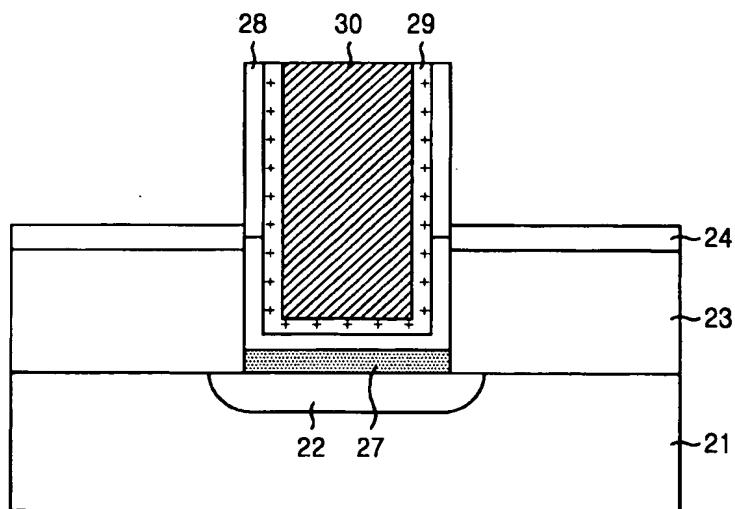
도면 2b



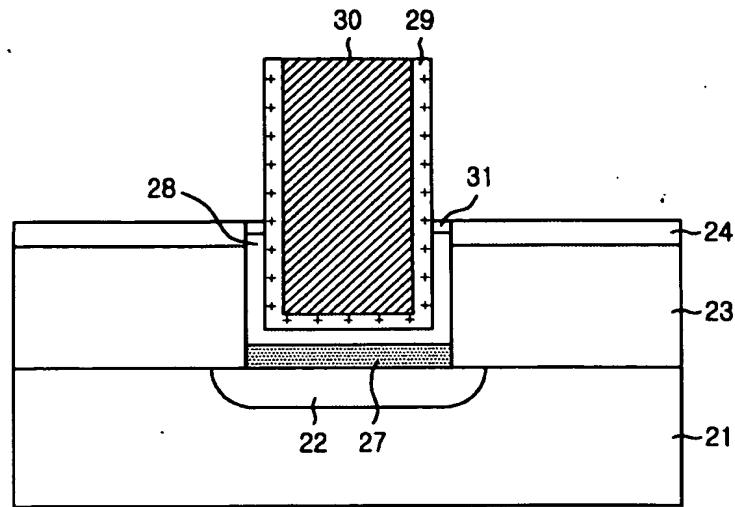
도면 2c



도면 2d



도면 2e



도면 2f

